

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Minoru USUI

Application No.:

Group Art Unit:

Filed: January 7, 2002

Examiner:

For: MEMORY CONTROL SYSTEM



**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s)
herewith a certified copy of the following foreign application:

Japanese Patent Application No. 2001-164723

Filed: May 31, 2001

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing
date(s) as evidenced by the certified papers attached hereto, in accordance with the
requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: January 7, 2002

By: 

H. J. Staas
Registration No. 22,010

700 11th Street, N.W., Ste. 500
Washington, D.C. 20001
(202) 434-1500

日 本 国 特 許 庁
JAPAN PATENT OFFICE

JC714 U.S. PTO
10/036539
01/07/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 5月31日

出 願 番 号

Application Number:

特願2001-164723

出 願 人

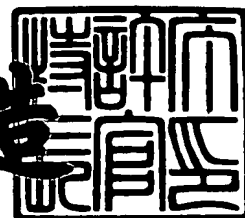
Applicant(s):

富士通株式会社

2001年 8月10日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3070818

【書類名】 特許願

【整理番号】 0041311

【提出日】 平成13年 5月31日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明の名称】 メモリ制御システム

【請求項の数】 7

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 臼井 稔

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100072718

 【弁理士】

 【氏名又は名称】 古谷 史旺

 【電話番号】 3343-2901

【手数料の表示】

 【予納台帳番号】 013354

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9704947

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリ制御システム

【特許請求の範囲】

【請求項 1】 システムバスを介してプログラムを取り込むことで動作し、スリープ命令を取り込んだときに、自身の動作を停止するとともに内部パワーダウン信号を出力するプロセッサと、

前記内部パワーダウン信号を受けたときに、前記システムバスに接続された揮発性半導体メモリをセルフリフレッシュモードに移行させるための制御信号を出力するパワーダウン制御回路とを備えていることを特徴とするメモリ制御システム。

【請求項 2】 請求項 1 記載のメモリ制御システムにおいて、前記スリープ命令を含む前記プログラムは、前記揮発性半導体メモリに格納されていることを特徴とするメモリ制御システム。

【請求項 3】 請求項 1 記載のメモリ制御システムにおいて、前記パワーダウン制御回路から出力されるクロック禁止信号を受け、システムクロック信号の供給を停止するクロック制御回路を備え、

前記パワーダウン制御回路は、前記揮発性半導体メモリが前記セルフリフレッシュモードに移行した後に前記クロック禁止信号を出力することを特徴とするメモリ制御システム。

【請求項 4】 請求項 1 記載のメモリ制御システムにおいて、前記パワーダウン制御回路は、スリープ解除要求を受けて前記揮発性半導体メモリを前記セルフリフレッシュモードから解除した後、前記プロセッサに動作許可信号を出力し、

前記プロセッサは、前記動作許可信号を受けた後、前記プログラムの取り込みを開始することを特徴とするメモリ制御システム。

【請求項 5】 請求項 4 記載のメモリ制御システムにおいて、前記パワーダウン制御回路から出力されるクロック許可信号を受け、システムクロック信号の供給を開始するクロック制御回路を備え、

前記パワーダウン制御回路は、前記クロック許可信号を出力した後、前記揮発

性半導体メモリを前記セルフリフレッシュモードから解除することを特徴とするメモリ制御システム。

【請求項 6】 請求項 2 または請求項 5 記載のメモリ制御システムにおいて

前記クロック制御回路は、外部クロック信号と同じ位相の前記システムクロック信号を生成する位相同期ループ回路であることを特徴とするメモリ制御システム。

【請求項 7】 請求項 1 記載のメモリ制御システムにおいて、

前記パワーダウン制御回路は、前記揮発性半導体メモリを直接制御するメモリ制御回路と、該メモリ制御回路を制御するメイン制御回路とを備え、

前記メイン制御回路は、前記内部パワーダウン信号に応答して前記メモリ制御回路にパワーダウン要求信号を出力し、

前記メモリ制御回路は、前記パワーダウン要求信号に応答して前記制御信号を出力するとともに、前記揮発性半導体メモリが前記セルフリフレッシュモードに移行したことに応答して前記メイン制御回路にパワーダウンアクノリッジ信号を出力することを特徴とするメモリ制御システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、揮発性半導体メモリのインタフェースを有するメモリ制御システムに関する。

【0002】

【従来の技術】

この種のメモリ制御システムとして、大容量ハードディスクの制御装置あるいはネットワークのデータ制御装置等がある。このようなメモリ制御システムは、データを転送しないときにスリープ状態になることで、消費電力を下げている。スリープ状態では、クロック信号は停止し、システムを制御するプロセッサ（CPU等）およびプロセッサに接続される制御回路の動作は停止する。

一般に、プロセッサは、スリープ命令を持っており、スリープ命令をフェッチ

することでクロック信号の受信を停止し、自身をスリープ状態に移行する。プロセッサがPLL（位相同期ループ；Phase Locked Loop）を内蔵する場合、スリープ命令のフェッチによりPLLはシステムクロック信号の生成動作を停止する。システムクロック信号が停止することで、システムクロック信号を受けるプロセッサ内の制御回路およびチップ内の他の制御コア、チップに接続される他のチップは動作を停止し、システムはスリープ状態になる。

【0003】

【発明が解決しようとする課題】

ところで、メモリ制御システムにDRAM等の揮発性半導体メモリが接続されている場合、プロセッサがスリープ命令をフェッチし、システムクロック信号の生成を停止しただけでは、メモリに保持されている内容が消失してしまうという問題があった。特に、メモリ制御システムにクロック同期式のSDRAMが接続されている場合、システムクロック信号が短時間でも停止すると、SDRAMが誤動作し、保持しているデータが破壊されてしまう。

【0004】

上記不具合を防止するために、SDRAM等の揮発性メモリが接続されたメモリ制御システムをスリープ状態にするときには、システムクロック信号を停止する前に、揮発性メモリをセルフリフレッシュモード等のデータ保持モードに移行する必要がある。具体的には、プロセッサが実行するシステムプログラムにおいて、スリープ命令より前にSDRAMをセルフリフレッシュモードに移行する処理プログラムを書いておき、プロセッサがスリープ命令をフェッチする前に、予め揮発性メモリをセルフリフレッシュモードに移行させる必要がある。

【0005】

このとき、システムプログラムがSDRAMに格納される場合にも、セルフリフレッシュモードに移行する処理プログラムおよびスリープ命令だけは、他のメモリに格納しておく必要がある。これは、SDRAM上に処理プログラムおよびスリープ命令が格納されていると、処理プログラムの実行によりSDRAMはセルフリフレッシュモードに移行するため、スリープ命令の読み出しができなくなるためである。すなわち、プロセッサはスリープ状態にならない。

【0006】

したがって、システムプログラムがSDRAMに格納される場合には、SDRAMおよび別のメモリの両方にシステムプログラムを格納しなくてはならず、ソフトウェアの処理が複雑になるという問題があった。特に、プログラム開発者は、予めこれ等手順、タイミングを理解した上でソフトウェアを開発しなくてはならないため、負担が大きい。

【0007】

本発明の目的は、SDRAM等の揮発性メモリ以外のメモリを要することなく、システムをスリープ状態にできるメモリ制御システムを提供することにある。

さらに、本発明の目的は、複雑なソフトウェア処理をすることなくシステムをスリープ状態にできるメモリ制御システムを提供することにある。

【0008】

【課題を解決するための手段】

請求項1のメモリ制御システムは、プロセッサおよびパワーダウン制御回路を有している。プロセッサは、システムバスを介してプログラムを取り込むことで動作する。プロセッサは、スリープ命令を取り込んだときに、自身の動作を停止するとともに内部パワーダウン信号を出力する。パワーダウン制御回路は、プロセッサから内部パワーダウン信号を受けたときに、システムバスに接続された揮発性半導体メモリをセルフリフレッシュモードに移行させるために制御信号を出力する。このため、プロセッサが、システムの動作中にスリープ命令を取り込むだけで、メモリ制御システムに接続された揮発性半導体メモリをセルフリフレッシュモードに移行できる。揮発性半導体メモリをセルフリフレッシュモードに移行する処理プログラムは、システムプログラム中に書く必要はない。システムプログラムを複数のメモリ領域に格納する必要がなくなるため、ハードウェアにおけるメモリ部品点数を削減でき、ソフトウェアの処理が複雑になることが防止できる。この結果、開発コスト並びにプログラム開発者の負担を減らすことができる。揮発性半導体メモリをセルフリフレッシュモードに移行するためにソフトウェアの処理が不要なため、揮発性半導体メモリを、従来に比べ短時間でセルフリフレッシュモードに移行できる。

【0009】

請求項2のメモリ制御システムでは、スリープ命令を含むプログラムは、揮発性半導体メモリに格納されている。上述したように、揮発性半導体メモリは、プロセッサによる制御ではなくパワーダウン制御回路による制御でセルフリフレッシュモードに移行する。このため、プロセッサがスリープ命令を取り込んだ後すぐにスリープ状態になっても、揮発性半導体メモリを確実にセルフリフレッシュモードに移行できる。このように、プロセッサによる処理とパワーダウン制御回路による処理（セルフリフレッシュモードへの移行）とを独立して行うことで、スリープ命令を含むプログラムを揮発性半導体メモリに格納した場合にも、システムをスリープモードに確実に移行できる。また、プログラムを1つのメモリ領域にまとめて格納できるため、ハードウェアにおけるメモリ部品点数を削減でき、ソフトウェアの処理が複雑になることが防止できる。

【0010】

請求項3および請求項6のメモリ制御システムは、クロック制御回路を有している。クロック制御回路は、例えば外部クロック信号と同じ位相のシステムクロック信号を生成する位相同期ループ回路である。パワーダウン制御回路は、揮発性半導体メモリがセルフリフレッシュモードに移行したことに応じてクロック禁止信号を出力する。クロック制御回路は、クロック禁止信号を受け、システムクロック信号の供給を停止する。このため、クロック同期式の揮発性半導体メモリが接続されるメモリ制御システムにおいて、揮発性半導体メモリを確実にセルフリフレッシュモードに移行し、システムをスリープモードに移行できる。

【0011】

請求項4のメモリ制御システムでは、パワーダウン制御回路は、スリープ解除要求を受けて揮発性半導体メモリをセルフリフレッシュモードから解除した後、プロセッサに動作許可信号を出力する。スリープモードからの解除時に、プロセッサは、動作許可信号を受けた後、プログラムの取り込みを開始する。揮発性半導体メモリがセルフリフレッシュモードから解除された後、プロセッサが動作を開始するため、システムを確実に動作できる。特に、スリープ命令を含むシステムプログラムが、揮発性半導体メモリに格納されている場合、システムがスリー

プモードを解除する際に、誤動作を防止できる。

【0012】

請求項5および請求項6のメモリ制御システムは、クロック制御回路を有している。クロック制御回路は、例えば外部クロック信号と同じ位相のシステムクロック信号を生成する位相同期ループ回路である。パワーダウン制御回路は、クロック許可信号を出力した後、揮発性半導体メモリをセルフリフレッシュモードから解除する。クロック制御回路は、パワーダウン制御回路から出力されるクロック許可信号を受け、システムクロック信号の供給を開始する。このため、クロック同期式の揮発性半導体メモリが接続されるメモリ制御システムにおいて、揮発性半導体メモリを確実にセルフリフレッシュモードから解除し、システムをスリープモードから通常の動作モードに移行できる。

【0013】

請求項7のメモリ制御システムでは、パワーダウン制御回路は、揮発性半導体メモリを直接制御するメモリ制御回路と、このメモリ制御回路を制御するメイン制御回路とを有している。メイン制御回路は、内部パワーダウン信号に応答してメモリ制御回路にパワーダウン要求信号を出力する。メモリ制御回路は、パワーダウン要求信号に応答して制御信号を出力するとともに、揮発性半導体メモリがセルフリフレッシュモードに移行したことに応答してメイン制御回路にパワーダウンアクノリッジ信号を出力する。パワーダウン制御回路を、揮発性半導体メモリのみを制御するメモリ制御回路と、システム全体を制御するメイン制御回路とで構成し、両制御回路を連係して動作させることで、より容易にメモリ制御システムに接続された揮発性半導体メモリをセルフリフレッシュモードに移行できる。

【0014】

【発明の実施の形態】

以下、本発明の実施形態を図面を用いて説明する。

図1は、本発明のメモリ制御システムの一実施形態を示している。図中、太線で示した信号線は、複数本で構成されていることを示している。

メモリ制御システムは、プリント基板上に搭載されたシングルチップマイクロ

コンピュータ 1 0（以下、MCU（Micro Controller Unit）と称する）により構成されている。MCU 1 0には、複数のSDRAM 1 2（クロック同期式の揮発性半導体メモリ）、ROM 1 4、RAM 1 6、およびI/O 1 8等が接続されている。MCU 1 0とSDRAM 1 2とは、SDRAMバス（システムバス）で接続されている。MCU 1 0とROM 1 4、RAM 1 6、I/O 1 8とは、汎用バス（システムバス）で接続されている。

【 0 0 1 5 】

MCU 1 0は、PLL（Phase locked loop）回路 2 0、PD制御回路 2 2（メイン制御回路）、プロセッサ 2 4、SDRAM制御回路 2 6、および汎用バス制御回路 2 8を有している。破線で囲ったPLL回路 2 0、PD制御回路 2 2、プロセッサ 2 4は、プロセッサコアとして形成されている。この実施形態では、PD制御回路 2 2およびSDRAM制御回路 2 6が、パワーダウン制御回路として動作する。

【 0 0 1 6 】

PLL回路 2 0は、イネーブル信号ENの高レベル期間に動作し、外部から供給されるクロック信号CLKINの位相と同じ位相のシステムクロック信号CLKを生成する。システムクロック信号CLKは、PD制御回路 2 2、プロセッサ 2 4、SDRAM制御回路 2 6、および汎用バス制御回路 2 8に供給されている。

PD制御回路 2 2は、PLL回路 2 0、プロセッサ 2 4、SDRAM制御回路 2 6を制御し、システムをスリープモード（パワーダウンモード）に移行させ、またはシステムをスリープモードから動作モードに復帰させる。すなわち本発明では、メモリ制御システムのスリープ制御は、プロセッサ 2 4（ソフトウェア）ではなく、PD制御回路 2 2が直接行う。PD制御回路 2 2は、外部からウエイクアップ信号WKUP、プロセッサ 2 4から内部パワーダウン信号IPD、およびSDRAM制御回路からパワーダウンアクノリッジ信号PDACKを受けている。PD制御回路 2 2は、イネーブル信号EN、パワーダウン信号PDOWN、内部ウエイクアップ信号WKUP、およびパワーダウン要求信号PDREQを出力している。これ等信号の入出力タイミングは、図 2 で詳細に説明する。

【 0 0 1 7 】

プロセッサ 2 4は、通常の動作時にシステム全体を制御する。具体的には、プロセッサ 2 4は、後述するようにSDRAM 1 2に格納されたシステムプログラムをS

DRAMバスを介してフェッチすることで動作し、I/O 18等を制御する。

SDRAM制御回路26は、プロセッサ24から供給されるアドレス信号ADDR、データ信号DATA、制御信号CNTをSDRAMバスのインタフェースに変換する。例えば、SDRAM制御回路26は、プロセッサ24から指示に応じて、アドレス、コマンド等をSDRAMバスに出力し、SDRAMから受けたデータをプロセッサ24に出力する。SDRAM制御回路26は、システムクロック信号CLKをSDRAM12用のクロック信号SCLKとして出力する。また、SDRAM制御回路26は、PD制御回路22からパワーダウン要求信号PDREQの活性化を受けたときに、クロックイネーブル信号CKEを非活性化してSDRAM12をセルフリフレッシュモードに移行する。SDRAM制御回路26は、パワーダウン要求信号PDREQの非活性化を受けたときに、クロックイネーブル信号CKEを活性化してSDRAM12をセルフリフレッシュモードから解除し、この後PD制御回路22にパワーダウンアクノリッジ信号PDACKを出力する。このように、クロックイネーブル信号CKEは、SDRAM12をセルフリフレッシュモードに移行する制御信号であるとともに、SDRAM12をセルフリフレッシュモードから解除する制御信号である。

【0018】

汎用バス制御回路28は、プロセッサ24から供給されるアドレス信号ADDR、データ信号DATA、制御信号CNTを、汎用バスのインタフェースに変換する。汎用バス制御回路28は、汎用バスに出力されたデータ信号等を受け、受けた信号をプロセッサ24に出力する。

図2は、上述したメモリ制御システムにおいて、システムをスリープモードに移行するとき、およびシステムをスリープモードから解除するときの動作を示している。この例では、図1に示したプロセッサ24が実行するシステムプログラムは、SDRAM12のみに格納されている。

【0019】

プロセッサ24は、システムプログラムを実行中、SDRAM12からスリープ命令SLEEPをフェッチすると、内部動作を停止し（スリープ状態）、内部パワーダウン信号IPDを活性化する（図2（a））。PD制御回路22は、システムクロック信号CLKの立ち上がりに同期して内部パワーダウン信号IPDの高レベルを取り込

み、パワーダウン要求信号PDREQを活性化する（図 2（b））。

【 0 0 2 0 】

SDRAM制御回路 2 6 は、システムクロック信号CLKの立ち上がり同期してパワーダウン要求信号PDREQの高レベルを取り込み、クロックイネーブル信号CKEを非活性化する（図 2（c））。ここで、SDRAM制御回路 2 6 は、パワーダウン要求信号PDREQの高レベルを取り込んだ後すぐにクロックイネーブル信号CKEを非活性化してもよく、SDRAM 1 2 の全てのメモリセルに対してオートリフレッシュを実行した後にクロックイネーブル信号CKEを非活性化してもよい。

【 0 0 2 1 】

SDRAM 1 2 は、クロックイネーブル信号CKEの非活性化を受け、セルフリフレッシュモードに移行する。SDRAM 1 2 は、セルフリフレッシュモード中、内蔵タイマによりリフレッシュコマンドを所定の周期で発生し、メモリセルを自動的にリフレッシュする。

このように、プロセッサ 2 4 とPD制御回路 2 2 とが独立に動作するため、スリープ命令SLEEPを含むシステムプログラムがSDRAM 1 2 に格納され、プロセッサ 2 4 がスリープ命令SLEEPを取り込んだ後すぐにスリープ状態になっても、SDRAM 1 2 は、確実にセルフリフレッシュモードに移行される。

【 0 0 2 2 】

SDRAM制御回路 2 6 は、SDRAM 1 2 がセルフリフレッシュモードに移行した後、パワーダウンアクリッジ信号PDACKを活性化する（図 2（d））。PD制御回路 2 2 は、システムクロック信号CLKの立ち上がり同期してパワーダウンアクリッジ信号PDACKの高レベルを取り込み、パワーダウン信号PDOWNを外部に出力し（図 2（e））、イネーブル信号ENを非活性化する（図 2（f））。

【 0 0 2 3 】

PLL回路 2 0 は、イネーブル信号ENの非活性化（低レベル）を受け、システムクロック信号CLKの生成を停止する（図 2（g））。すなわち、低レベルのイネーブル信号ENは、システムクロック信号CLKの供給を停止するクロック禁止信号として作用する。システムクロックCLKの停止により、SDRAM用のクロック信号CLKも発振を停止する。パワーダウン信号PDOWNの活性化を受けた外部の制御回路

は、クロック信号CLKINの供給を停止する（図2（h））。そして、システム全体がスリープモードになる。

【0024】

このように、プロセッサ24は、スリープ命令SLEEPのフェッチに応じて内部パワーダウン信号IPDを活性化し、PD制御回路22は、内部パワーダウン信号IPDを受けてSDRAM12をセルフリフレッシュモードに移行する。プロセッサ24がスリープ命令SLEEPをフェッチするだけで、SDRAM12がセルフリフレッシュモードに移行し、システムがスリープモードに移行するため、従来のようにSDRAM12をセルフリフレッシュモードに移行させる処理プログラム等、ソフトウェアによる処理は不要である。したがって、システムプログラムをSDRAM12と他のメモリ（例えば図1のRAM16）とに分割させる必要はなく、プログラム開発者の負担は、軽減される。ソフトウェアによる処理が不要なため、SDRAMは、従来に比べ短時間でセルフリフレッシュモードに移行される。

【0025】

次に、スリープモードを解除するとき、外部の制御回路は、クロック信号CLKINの供給を開始した後（図2（i））、ウェイクアップ信号WKUP（スリープ解除要求の信号）を活性化する（図2（j））。PD制御回路22は、ウェイクアップ信号WKUPの立ち上がりエッジを受け、イネーブル信号ENを活性化する（図2（k））。

【0026】

PLL回路20は、イネーブル信号ENの活性化（高レベル）を受け、システムクロック信号CLKの生成を開始する（図2（l））。すなわち、高レベルのイネーブル信号ENは、システムクロック信号CLKの供給を開始するクロック許可信号として作用する。

PD制御回路22は、システムクロック信号CLKの発振が安定する期間の経過後、パワーダウン要求信号PDREQを非活性化する（図2（m））。SDRAM制御回路26は、システムクロック信号CLKの立ち上がりに同期してパワーダウン要求信号PDREQの低レベルを受け、クロックイネーブル信号CKEを活性化する（図2（n））。SDRAM12は、クロックイネーブル信号CKEの活性化によりセルフリフレッ

シュモードから通常のスタンバイモードに移行する。

【 0 0 2 7 】

SDRAM制御回路 2 6 は、SDRAM 1 2 がセルフリフレッシュモードから解除された後、パワーダウナクノリッジ信号PDACKを非活性化する（図 2（o））。PD制御回路 2 2 は、システムクロック信号CLKの立ち上がり同期してパワーダウナクノリッジ信号PDACKの低レベルを受け、パワーダウン信号PDOWNを非活性化し（図 2（p））、内部ウエイクアップ信号IWK（プロセッサ 2 4 に対する動作許可信号）を活性化する（図 2（q））。ここで、内部ウエイクアップ信号IWKは、プロセッサ 2 4 に対する動作許可信号である。外部の制御回路は、パワーダウン信号PDOWNの非活性化を受け、メモリ制御システムがスリープ状態から解除されたことを認識する。プロセッサ 2 4 は、システムクロック信号CLKの立ち上がり同期して内部ウエイクアップ信号IWKの高レベルを受け、スリープモードを解除し、内部パワーダウン信号IPDを非活性化する（図 2（r））。プロセッサ 2 4 は、内部ウエイクアップ信号IWKの受信後、内部動作を開始し、SDRAMからシステムプログラムを再びフェッチする。そして、システムは、再び動作を開始する。

【 0 0 2 8 】

以上、本実施形態では、PD制御回路 2 2 およびSDRAM制御回路 2 6 は、プロセッサ 2 4 からの内部パワーダウン信号IPDを受けたとき、クロックイネーブル信号CKEを非活性化し、SDRAM 1 2 をセルフリフレッシュモードに移行させた。このため、システムの動作中に、プロセッサ 2 4 がスリープ命令SLEEPをフェッチするだけで、ソフトウェアを介することなく、メモリ制御システムに接続されたSDRAM 1 2 をセルフリフレッシュモードに移行できる。

【 0 0 2 9 】

SDRAM 1 2 をセルフリフレッシュモードに移行するためにソフトウェアの処理が不要なため、SDRAM 1 2 を、従来に比べ短時間でセルフリフレッシュモードに移行できる。

プロセッサ 2 4 による処理とPD制御回路 2 2 による処理（セルフリフレッシュモードへの移行）とを独立して行ったので、システムプログラム中にSDRAM 1 2

をセルフリフレッシュモードに移行する処理プログラムを書く必要はない。また、システムプログラムを複数のメモリ領域に格納する必要がないため、ソフトウェアの処理が複雑になることが防止できる。この結果、プログラム開発者の負担を減らすことができる。

【0030】

PLL回路20は、SDRAM12がセルフリフレッシュモードに移行された後にイネーブル信号ENの非活性化を受け、システムクロック信号CLKの供給を停止した。このため、クロック同期式のSDRAM12が接続されるメモリ制御システムにおいて、SDRAM12を確実にセルフリフレッシュモードに移行し、システムをスリープモードに移行できる。

【0031】

プロセッサ24は、PD制御回路22からの内部ウエイクアップ信号IWKを受けた後、システムプログラムの取り込みを開始した。SDRAM12がセルフリフレッシュモードから解除された後、プロセッサ24が動作を開始するため、システムを確実に動作できる。特に、スリープ命令SLEEPを含むシステムプログラムが、SDRAM12に格納されている場合、システムがスリープモードを解除する際に、誤動作を防止できる。

【0032】

PLL回路20は、SDRAM12がセルフリフレッシュモードから解除される前にイネーブル信号ENの活性化を受け、システムクロック信号CLKの供給を開始した。このため、クロック同期式のSDRAM12が接続されるメモリ制御システムにおいて、SDRAM12を確実にセルフリフレッシュモードから解除し、システムをスリープモードから通常の動作モードに移行できる。

【0033】

なお、上述した実施形態では、プロセッサ24は、内部パワーダウン信号IPDを、スリープモードに移行するとき高レベルにし、スリープモードの期間高レベルを保持し、スリープモードから解除するとき低レベルにした例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、プロセッサ24は、パルスの内部パワーダウン信号IPDを出力しても良い。このとき、PD制御回

路 2 2 は、偶数回目の内部パワーダウン信号 IPD のパルスを送りモードへの移行と認識し、奇数回目の内部パワーダウン信号 IPD のパルスを送りモードからの解除と認識すればよい。パワーダウン要求信号 PDREQ、パワーダウンアクノリッジ信号 PDACK についても同様にパルス出力してもよい。

【 0 0 3 4 】

以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

【 0 0 3 5 】

【発明の効果】

請求項 1 のメモリ制御システムでは、システムの動作中に、プロセッサがスリープ命令を取り込むだけで、メモリ制御システムに接続された揮発性半導体メモリをセルフリフレッシュモードに移行できる。システムプログラム中に揮発性半導体メモリをセルフリフレッシュモードに移行する処理プログラムを書く必要はないため、ソフトウェアの処理が複雑になることが防止できる。この結果、プログラム開発者の負担を減らすことができる。揮発性半導体メモリをセルフリフレッシュモードに移行するための特別な半導体メモリが不要になるため、メモリ部品点数の削減が可能になる。

【 0 0 3 6 】

請求項 2 のメモリ制御システムでは、プロセッサがスリープ命令を取り込んだ後すぐにスリープ状態になっても、揮発性半導体メモリを確実にセルフリフレッシュモードに移行できる。プロセッサによる処理とパワーダウン制御回路による処理とを独立して行えるため、スリープ命令を含むシステムプログラムを、揮発性半導体メモリに格納した場合にも、システムを確実に動作できる。この結果、プログラムを 1 つのメモリ領域にまとめて格納でき、メモリ部品点数の削減とともに、ソフトウェアの処理が複雑になることが防止できる。

【 0 0 3 7 】

請求項 3 および請求項 6 のメモリ制御システムでは、クロック同期式の揮発性半導体メモリが接続されるメモリ制御システムにおいて、揮発性半導体メモリが

セルフリフレッシュモードに移行した後、揮発性半導体メモリに供給されるシステムクロック信号を停止することで、揮発性半導体メモリを確実にセルフリフレッシュモードに移行し、システムをスリープモードに移行できる。

【 0 0 3 8 】

請求項 4 のメモリ制御システムでは、揮発性半導体メモリがセルフリフレッシュモードから解除された後、プロセッサが動作を開始するため、システムを確実に動作できる。特に、スリープ命令を含むシステムプログラムが、揮発性半導体メモリに格納されている場合、システムがスリープモードから解除する際に、誤動作を防止できる。

【 0 0 3 9 】

請求項 5 および請求項 6 のメモリ制御システムでは、クロック同期式の揮発性半導体メモリが接続されるメモリ制御システムにおいて、システムクロック信号が揮発性半導体メモリに供給された後に、揮発性半導体メモリをセルフリフレッシュモードから解除できる。この結果、揮発性半導体メモリを確実にセルフリフレッシュモードから解除し、システムをスリープモードから通常の動作モードに移行できる。

【 0 0 4 0 】

請求項 7 のメモリ制御システムでは、メモリ制御回路とメイン制御回路とを連係して動作させることで、より容易にメモリ制御システムに接続された揮発性半導体メモリをセルフリフレッシュモードに移行できる。

【図面の簡単な説明】

【図 1】

本発明のメモリ制御システムの一実施形態を示すブロック図である。

【図 2】

図 1 のメモリ制御システムの動作を示すタイミング図である。

【符号の説明】

- 1 0 シングルチップマイクロコンピュータ (MCU)
- 1 2 SDRAM
- 1 4 ROM

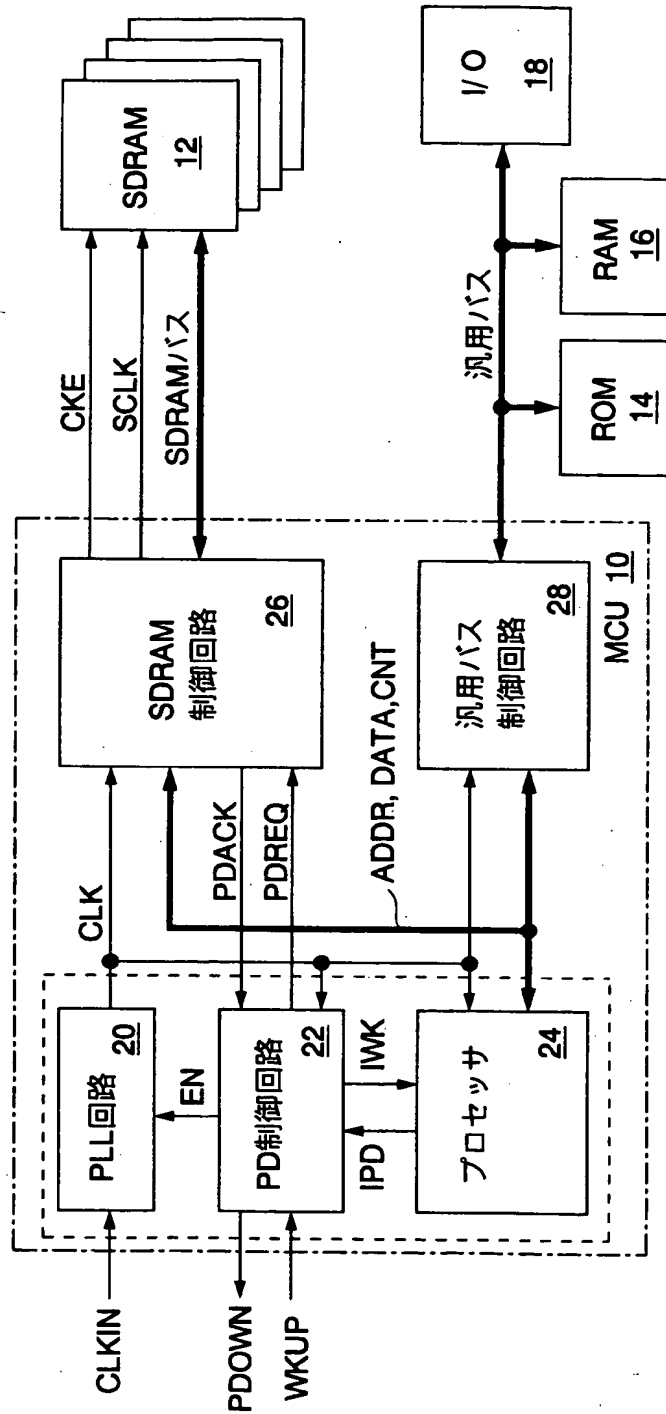
16 RAM
18 I/O
20 PLL回路
22 PD制御回路 (メイン制御回路)
24 プロセッサ
26 SDRAM制御回路
28 汎用バス制御回路
ADDR アドレス信号
CKE クロックイネーブル信号
CLK システムクロック信号
CLKIN クロック信号
CNT 制御信号
DATA データ信号
EN イネーブル信号
IPD 内部パワーダウン信号
IWK 内部ウェイクアップ信号
PDACK パワーダウンアクノリッジ信号
PDOWN パワーダウン信号
PDREQ パワーダウン要求信号
SCLK クロック信号
WKUP ウェイクアップ信号

【書類名】

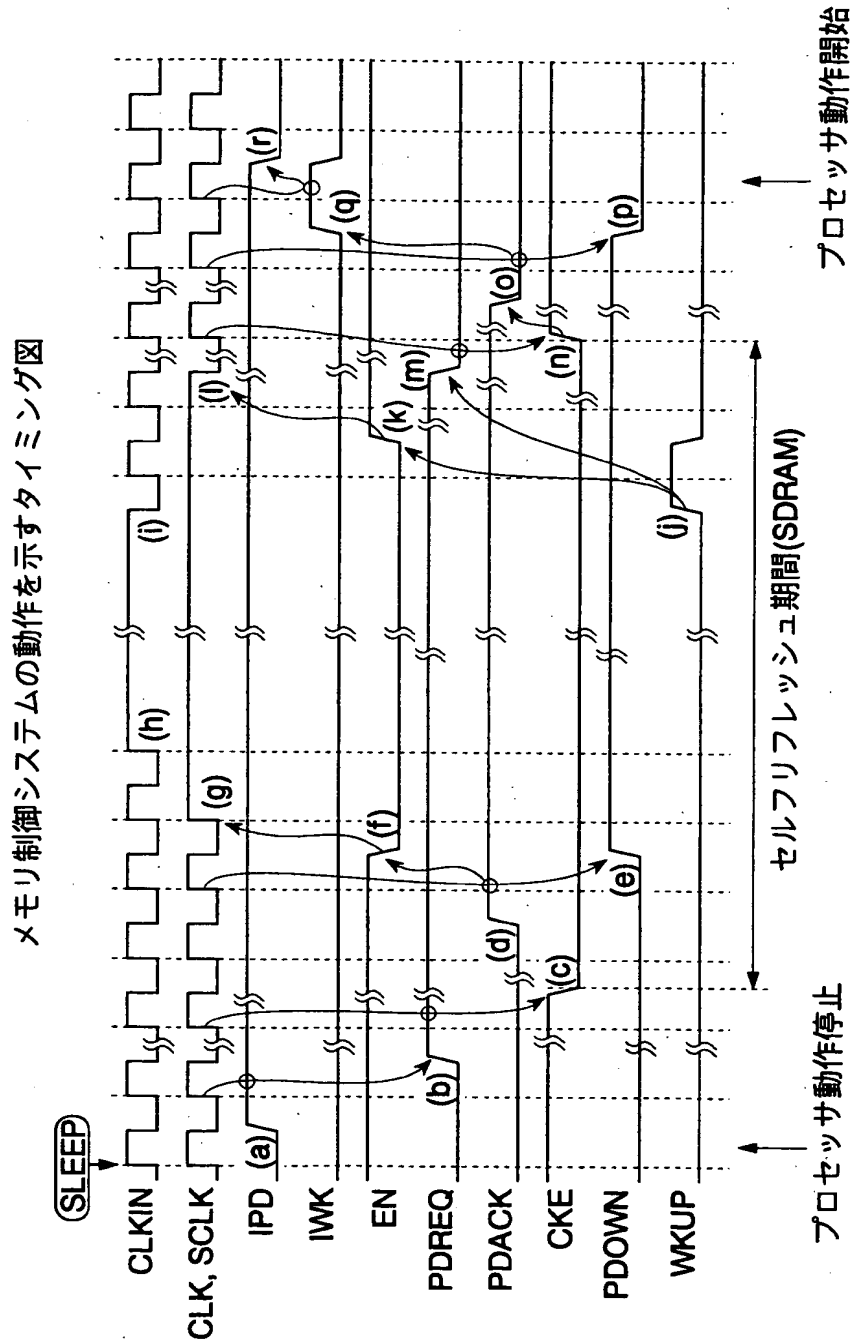
図面

【図 1】

本発明のメモリ制御システムの実施形態を示すブロック図



【図 2】



【書類名】 要約書

【要約】

【課題】 揮発性半導体メモリのインタフェースを有するメモリ制御システムにおいて、複雑なソフトウェア処理をすることなくシステムをスリープ状態にする。

【解決手段】 プロセッサは、スリープ命令を取り込んだときに、自身の動作を停止するとともに内部パワーダウン信号を出力する。パワーダウン制御回路は、プロセッサから内部パワーダウン信号を受けたときに、システムバスに接続された揮発性半導体メモリをセルフリフレッシュモードに移行させるために制御信号を出力する。このため、プロセッサがスリープ命令を取り込むだけで、半導体メモリをセルフリフレッシュモードに移行できる。半導体メモリをセルフリフレッシュモードに移行する処理プログラムをプログラム中に書く必要はないため、ソフトウェアの処理が複雑になることが防止できる。この結果、プログラム開発者の負担を減らすことができる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社